

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 25/00

(11) Publication No.: P2001-0090354

(43) Publication Date: 18 October 2001

(21) Application No.: 10-2000-7003149

(22) Application Date: 24 March 2000

(71) Applicant:

KABUSIKIGAISHA HITACHISEISAKUSHO

6-banchi, 4-chome, Gandathrugadai, Chiyodaku, Tokyo, Japan

(72) Inventor:

EGUJISHUJI

NAKAIAKIRA

AKAHOSHIHARUO

UENODAKUMI

SATODOSHIYA

OKINOMASAHICO

NISHIMURAASAO

ANJOLEEJIRO

DANAKAHIDEKI

(54) Title of the Invention:

Semiconductor module and mounting method thereof

Abstract:

Provided are a semiconductor module and a mounting method thereof. A multi-chip module is configured such that a plurality of bare chips or packaged semiconductor chips are mounted on one substrate and upper surfaces of the semiconductor chips are covered with one heat radiating plate. The chips covered by the substrate and the heat radiating plate are filled around with resin. Since the semiconductor chips are connected to one another through the resin, although a stress is applied to any chip, the stress is dispersed, thereby preventing a crack from developing on the chips or the heat radiating plate. Furthermore, since the semiconductor chips and the heat radiating plate are bonded to each other using the resin, even though the size of the chips is varied, the heat radiating plate and the chips can be bonded easily. In addition, the bonding between the chips and the heat radiating plate can be conducted through a single process.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 25/00	(11) 공개번호 특2001-0090354
	(43) 공개일자 2001년 10월 18일
(21) 출원번호 10-2000-7003149	
(22) 출원일자 2000년 03월 24일	
변역문재출일자 2000년 03월 24일	
(86) 국제출원번호 PCT/JP1999/01558	(87) 국제공개번호 WO 2000/59036
(86) 국제출원출원일자 1999년 03월 26일	(87) 국제공개일자 2000년 10월 05일
(81) 지정국	국내특허 : 일본 대한민국 싱가포르 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴

(71) 출원인	가부시키가이샤 히타치세이사쿠쇼
(72) 발명자	일본 도쿄도 치요다구 간다스루가다이 4쵸메 6반치 에구찌슈지 일본319-1221이바라끼켄히타치시오미까쵸7쵸메 1-1가부시키가이샤히타치세이사쿠쇼히타치켄큐쇼내 나가이아끼라 일본319-1221이바라끼켄히타치시오미까쵸7쵸메 1-1가부시키가이샤히타치세이사쿠쇼히타치켄큐쇼내 아카호시하루오 일본319-1221이바라끼켄히타치시오미까쵸7쵸메 1-1가부시키가이샤히타치세이사쿠쇼히타치켄큐쇼내 우에노다꾸미 일본319-1221이바라끼켄히타치시오미까쵸7쵸메 1-1가부시키가이샤히타치세이사쿠쇼히타치켄큐쇼내 사또도시야 일본319-1221이바라끼켄히타치시오미까쵸7쵸메 1-1가부시키가이샤히타치세이사쿠쇼히타치켄큐쇼내 오기노마사히코 일본319-1221이바라끼켄히타치시오미까쵸7쵸메 1-1가부시키가이샤히타치세이사쿠쇼히타치켄큐쇼내 니시무라야사오 일본187-0022도쿄도고다이라시조사이혼쵸5쵸메20-1가부시키가이샤히타치세이사쿠쇼한도따이지교부내 안조이찌로 일본187-0022도쿄도고다이라시조사이혼쵸5쵸메20-1가부시키가이샤히타치세이사쿠쇼한도따이지교부내 다나카히데끼 일본187-0022도쿄도고다이라시조사이혼쵸5쵸메20-1가부시키가이샤히타치세이사쿠쇼한도따이지교부내
(74) 대리인	장수길, 주성민

심사청구 : 있음

(54) 반도체 모듈 및 그 실장 방법

영세서

기술분야

본 발명은, 베어 칩 또는 패키징된 반도체 칩을 배선 기판에 탑재하고, 반도체 칩의 상면에 방열판을 설치하고, 배선 기판과 방열판에 의해 형성된 반도체 칩의 주위에 수지를 충전하여 이루어지는 반도체 모

들 및 그 실장 방법에 관한 것이다. 본 발명은 특히, 1장의 배선 기판 상에 복수개의 반도체 칩을 탑재한 멀티·칩 모듈 및 그 실장 방법에 관한 것이다.

배경기술

반도체 모듈은, 퍼스널 컴퓨터, 서버, 대형 컴퓨터 등의 전자 기기에 있어서의 고속 혹은 고집적 메모리로서 사용되어 있다. 이들 전자 기기는, 소형화, 박형화, 고속화 및 고집적화되는 경향에 있다. 이들에 따라, 반도체 모듈에서도, 고밀도 실장, 협피치·다핀 접속, 저노이즈화 및 저열저항화가 요구되어 있다.

이러한 배경으로부터, 복수의 베어 칩 또는 칩과 거의 동등한 사이즈를 갖는 칩 사이즈(또는 칩 스케일) 패키지(이하 CSP라 함)를 배선 기판에 실장하여, 실장 밀도를 높이는 일이 행해지고 있다. 또한, 복수의 베어 칩 또는 CSP를 기판에 실장한 후, 칩의 배면에 방열판을 접착하고, 저열저항화를 도모하는 일이 행해지고 있다.

일례로서 미국 특허 제5,724,729호 명세서에는, 한 장의 배선 기판 상에 복수개의 반도체 칩을 탑재하고, 반도체 칩의 배면에 방열 갭을 설치하고, 반도체 칩과 방열 갭을 열전도성 접착제에 의해서 접착한 구조의 멀티·칩 모듈이 도시되어 있다.

또한 일본 특허 공개 소63-29563호 공보에는, 플립 칩을 범프 전극을 거쳐 열라이트 기판에 페이스 다운 본딩하고, 플립 칩 상면에 열전도성이 우수한 탄화 실리콘 기판을 납땜 재료를 이용하여 접착하고, 열라이트 기판과 탄화 실리콘 기판 사이에 에폭시 수지를 충전한 구조의 반도체 장치가 도시되어 있다. 또한, 상기 반도체 장치 복수개를 한 장의 기판 상에 탑재하고, 복수개의 상기 반도체 장치의 상부를 덮도록 히트 싱크를 설치하고, 히트 싱크와 각반도체 장치를 빗살 모양의 전열 부재를 이용하여 접속한 구조의 멀티·칩 모듈이 도시되어 있다.

그러나, 본 발명자들의 검토에 따르면, 상기 종래 기술에는, 이하에 서술하는 바와 같이 몇 가지 문제점이 있다.

우선, 미국 특허 제5,724,729호 명세서에 기재된 멀티·칩 모듈에서는, 칩과 칩 사이가공극으로 되어 있기 때문에, 칩에 가해지는 응력이 분산되지 않는다. 이 때문에, 어느 칩에 응력이 가해진 때에, 응력이 가해진 칩과 방열 갭 접합 단면에 크랙이 생기기 쉽다. 또한, 칩을 배선 기판에 접속하고 있는 범프 전극의 주위에 언더 필 수지가 충전되어 있지 않기 때문에, 범프 전극이 산화되기 쉽고, 더구나 칩에 발생하는 열이 배선 기판측으로 전달되기 어렵다.

일본 특허 공개 소63-29563호 공보에 기재된 멀티·칩 모듈에 있어서는, 복수개의 반도체 장치가 전열 부재를 거쳐 히트 싱크에 기계적으로 고착되어 있기 때문에, 반도체 장치의 크기에 변동이 있었던 경우, 히트 싱크가 기울어져 버려 고착하기 어렵다. 일본 특허 공개 소63-29563호 공보에 기재된 발명에서는, 전열 부재를 빗살 모양으로 하고 있기 때문에, 반도체 장치의 크기에 다소의 변동이 있더라도, 히트 싱크가 기울어지기 어렵지만, 빗살 모양으로 함으로써 구조가 복잡하게 되어 있다. 또한, 상기 공보에 기재된 발명에서는, 각 반도체 장치의 측면에 수지가 몰드되어 있기는 하지만, 수지와 수지 사이에 공극이 있기 때문에, 그 공극에 수분이 침입하거나 혹은 수분의 결로가 생기기 쉽고, 수지의 재질 열화 및 절연 열화가 생기기 쉽다.

멀티·칩 모듈에 있어서, 반도체 칩과 배선 기판 사이에 언더 필 수지를 충전하는 것은, 일본 특허 공개 평7-86492호 공보에 기재되어 있는 바와 같이 주지이다. 그러나, 일본 특허 공개 평7-86492호 공보에는 방열판을 설치하는 것까지는 기재되어 있지 않고, 전술한 문제점을 해결하는 힌트가 되지 않는다.

본 발명의 목적은, 베어 칩 또는 패키징된 반도체 칩의 복수개를 한 장의 배선 기판 상에 탑재하고, 복수개의 상기 반도체 칩을 한 장의 방열판으로 덮어, 각반도체 칩과 상기 방열판을 열전도 가능하게 접합한 구조를 갖는 반도체 모듈 및 그 실장 방법에 있어서, 개개의 반도체 칩에 가해지는 응력이 분산되어, 칩과 방열판이 전열 부재를 이용하는 일 없이 접합되도록 한 반도체 모듈 및 그 실장 방법을 제공하는 것에 있다.

본 발명의 다른 목적은, 복수개의 반도체 칩이 금속 범프를 이용하여 한 장의 배선 기판에 접속되어, 상기 반도체 칩의 배면에 한 장의 방열판을 배치된 구조를 갖는 반도체 모듈 및 그 실장 방법에 있어서, 반도체 칩과 배선 기판 간극이 언더 필수지로 채워지고, 반도체 칩과 방열판이 전열 부재를 이용하는 일 없이 접합되어, 개개의 칩에 가해지는 응력이 분산되도록 한 반도체 모듈 및 그 실장 방법을 제공하는 데 있다.

발명의 상세한 설명

본 발명의 제1 실시 태안은, 베어 칩 또는 패키징된 반도체 칩의 복수개가 한 장의 배선 기판 상에 탑재되어, 복수개의 상기 반도체 칩상에 한 장의 방열판이 배치된 구조를 갖는 반도체 모듈에서, 상기 배선 기판과 상기 방열판에 의해 협지된 복수개의 상기 반도체 칩의 주위가 수지로 채워지고, 상기 반도체 칩과 상기 반도체 칩이 상기 수지를 거쳐 연결되고 있는 것을 특징으로 하는 반도체 모듈에 있다.

베어 칩 또는 패키징된 반도체 칩을 배선 기판에 탑재하는 방법에는, 반도체 칩의 회로가 형성된 면을 아래쪽으로 하고, 상기 회로 형성면을 배선 기판에 대향시켜 탑재하는 방법과, 회로 형성면을 위쪽으로 하여 회로 비형성면을 배선 기판과 대향시켜 탑재하는 방법이 있다. 반도체 칩의 회로 형성면을 하향으로 하여 배선 기판에 접속하는 방식, 즉 페이스 다운 본딩 방식의 반도체 모듈에서는, 반도체 칩의 회로 형성면에 설치된 패드와 배선 기판의 패드가 금속 범프를 거쳐 접속된다. 한편, 반도체 칩의 회로 형성면을 위쪽으로 하여 배선 기판에 탑재하는 방식 즉 페이스 업 본딩 방식의 반도체 모듈에서는, 반도체 칩의 회로 비형성면이 배선 기판에 접착제를 이용하여 접합되어, 반도체 칩의 회로 형성면에 설치된 패드와 배선 기판의 패드가 금속 와이어 본딩된다. 여기서, 패드란 입출력 단자를 말하는 것이며, 전극,

전극 단자 혹은 단순히 단자라고 불리우는 일도 있다.

따라서, 본 발명의 제2 실시 태양은, 배어 칩과 패키징된 반도체 칩에서 선택된 한편의 반도체 칩의 복수개가 회로 형성면을 밑으로 향해서 금속 범프에 의해 한 장의 배선 기판에 전기적으로 접속되어, 상기 반도체 칩의 회로 비형성면의 상부에 한 장의 방열판이 배치된 구조를 갖는 반도체 모듈에서, 상기 배선 기판과 상기 반도체 칩 사이의 간극, 상기 반도체 칩과 상기 방열판 사이 및 상기 반도체 칩과 상기 반도체 칩 사이에 수지가 충전되고, 상기 반도체 칩과 상기 방열판이 상기 수지에 의해서 접합되어, 상기 반도체 칩과 상기 반도체 칩이 상기 수지에 의해서 연결되어 있는 것을 특징으로 하는 반도체 모듈에 있다.

본 발명의 제3 실시 태양은, 복수개의 배어 칩 또는 패키징된 복수개의 반도체 칩의 회로 비형성면이 한 장의 배선 기판에 접속되어, 상기 반도체 칩의 회로 형성면 측에 한 장의 방열판이 배치되어, 상기 회로 형성면에 설치된 패드와 상기 배선 기판의 패드가 금속 와이어 본딩되어 있는 반도체 모듈에서, 상기 반도체 칩과 상기 방열판 사이 및 복수개의 상기 반도체 칩의 사이에 수지가 충전되어, 상기 수지에 의해서 상기 반도체 칩과 상기 방열판이 접합되어, 상기 반도체 칩과 상기 반도체 칩이 연결되고 있는 것을 특징으로 하는 반도체 모듈에 있다.

본 발명에 의한 반도체 모듈의 제조에서는, 반도체 칩과 방열판을 열전도성을 갖는 접착제를 이용하여 접착하더라도 좋다. 또한, 반도체 칩의 회로 형성면을 위쪽으로 하고, 배선 기판과 금속 와이어 본딩하는 방식의 반도체 모듈에서는, 금속 와이어가 방열판에 의해서 억지로 없애지 않도록 하기 위해서, 방열판과 반도체 칩 사이 혹은 방열판과 배선 기판 사이에 스페이서를 설치하더라도 좋다.

따라서, 본 발명의 다른 실시 태양은, 배어 칩 또는 패키징된 반도체 칩의 복수개가 한 장의 배선 기판에 탑재되어, 복수개의 상기 반도체 칩의 상면에 한 장의 방열판이 배치된 구조를 갖는 반도체 모듈에서, 상기 반도체 칩과 상기 방열판 사이에 접착제층을 지니고, 상기 배선 기판과 상기 방열판에 의해 형성된 상기 반도체 칩의 주위에 수지가 충전되어, 상기 수지에 의해서 상기 반도체 칩과 상기 반도체 칩이 연결되어 있는 것을 특징으로 하는 반도체 모듈에 있다.

또 다른 실시 태양은, 배어 칩 또는 패키징된 반도체 칩의 복수개가 회로 형성면을 위쪽에 향해서 배선 기판에 탑재되고, 상기 반도체 칩과 상기 배선 기판이 금속 와이어 본딩되고, 복수개의 상기 반도체 칩의 회로 형성면의 위에 한 장의 방열판이 배치된 구조를 갖는 반도체 모듈에서, 복수개의 상기 반도체 칩과 상기 방열판 사이에 금속 와이어 보호용 스페이서를 지니고, 상기 방열판과 상기 배선 기판에 의해 형성된 반도체 칩의 주위에 수지가 충전되고, 상기 반도체 칩과 상기 반도체 칩이 상기 수지에 의해서 연결되어 있는 것을 특징으로 하는 반도체 모듈에 있다.

또 다른 실시 태양은, 배어 칩 또는 패키징된 반도체 칩 복수개가 회로 형성면을 위쪽으로 하여 배선 기판에 탑재되고, 상기 반도체 칩과 상기 배선 기판이 금속 와이어 본딩되고, 복수개의 상기 반도체 칩의 회로 형성면의 위에 한 장의 방열판이 배치된 반도체 모듈에 있어서, 상기 배선 기판과 상기 방열판 사이에 금속 와이어 보호용 스페이서를 갖고, 상기 방열판과 상기 배선 기판에 의해 형성된 반도체 칩의 주위에 수지에 의해서 채워지고, 상기 반도체 칩과 상기 반도체 칩이 상기 수지에 의해서 연결되어 있는 것을 특징으로 하는 반도체 모듈에 있다.

본 발명의 반도체 모듈은, 복수개의 상기 반도체 칩을 배선 기판에 탑재한 후, 방열판을 배치하고, 상기 배선 기판과 상기 방열판 사이에 수지를 주입함으로써 실장된다. 수지를 주입하는 방법으로는, 예를 들면 반도체 칩의 상면에 수지의 덩어리를 두고, 그 위에 방열판을 씌우고, 배선 기판과 방열판의 외측에 프레스판을 배치하여 가열 가압 성형하고, 수지를 용융 혹은 연화 유동시켜 반도체 칩의 주위에 충전하는 방법을 적용할 수 있다. 또한, 배선 기판과 방열판과 반도체 칩을 금형내에 넣고, 트랜스퍼 프레스 성형에 의해서 수지를 금형 내에 주입하는 방법을 적용할 수 있다. 또한, 배선 기판에 탑재된 반도체 칩과 방열판 사이에 수지의 덩어리를 배치하여 오토 클레이브 내에 넣고, 가열하여 수지를 용융 혹은 연화 유동시키고, 반도체 칩의 주위에 충전하는 방법을 적용할 수 있다.

본 발명의 다른 실시 태양은, 후술하는 실시예의 설명에 의해, 더욱 명료해질 것이다.

본 발명에서는, 반도체 칩은 배어 칩 또는 패키징된 반도체 칩에서 선택된다. 배어 칩은, 한쪽 면에 회로가 형성되어 있고, 또 패드, 단자, 전극 혹은 전극 단자 등으로 칭해지는 입출력 단자를 갖는다. 입출력 단자는 회로 형성면 측에 설치되는 일이 많다.

패키징된 반도체 칩에는, 예를 들면 CSP가 있다. CSP의 일례는 일본 특허 공개 평9-321084호 공보에 기재되어 있다. 상기 공보에는, 칩의 회로 형성면 측에 응력 완충층을 거쳐 배선 테이프를 배치하고, 배선 테이프와 칩의 패드를 전기적으로 접속하고, 이 접속부를 수지로 봉하고, 배선 테이프에 금속 범프를 설치한 것이 도시되어 있다. 이 구조의 CSP는, 본 발명으로 이용하는 데 적합하다. 패키징된 반도체 칩에는, CSP 이외에 SOJ(스몰 아웃라인 J-리드 패키지), TSOP(트윈 스몰 아웃라인 패키지), TCP(테이프 캐리어 패키지) 등이 있고, 어느 것이나 사용할 수 있다.

또, 본 발명에서는, 특히 안되는 것이 아닌 한, 배어 칩 및 패키징된 반도체 칩의 양방을 포함해서 반도체 칩이라고 칭한다. 또, 본 발명에 있어서, 실장이라 함은, 협의로는 배선 기판 상에 반도체 칩을 탑재하여 전기적으로 접속하는 기술을 의미하고, 광의로는 그 후에 다시 방열판을 접합하는 기술 혹은 수지를 주입하는 기술을 의미한다. 또, 본 발명에서 칭하고 있는 금속 범프와 종래 기술에 기재된 범프 전극은 동일한 것이다.

본 발명의 반도체 모듈은, 반도체 칩과 반도체 칩이 수지로 연결되어 있기 때문에, 어느 칩에 응력이 가해지더라도, 그 응력이 수지를 거쳐 사방으로 분산된다. 따라서, 칩이나 방열판에 크랙이 생길 우려는 적다. 또한, 반도체 칩과 방열판 접착이 수지에 의해서 이루어지고 있기 때문에, 전열 부재를 배치했을 때와 같이 히트 싱크력 방열판이 기울어지는 일은 적다. 또, 칩과 배선 기판 사이에 금속 범프가 있는 구조의 반도체 모듈에서는, 반도체 칩과 배선 기판 사이에 수지가 충전되기 때문에, 칩으로부터 배선 기판에의 열전도성이 좋아지며, 게다가 금속 범프가 산화되기 어렵다는 효과가 있다. 수지는, 칩의 보호

및 모듈의 굴곡 방지의 역할도 한다.

또, 반도체 칩을 기판과 방열판 사이에 협지하고, 칩의 주위에 수지를 몰드한 구조의 반도체 장치가, 일본 특허 공개 평7-11278호 공보 및 일본 특허 공개 평9-17827호 공보에 기재되어 있지만, 멀티·칩 모듈을 조립하는 것까지는 기재되어 있지 않다.

배선 기판과 방열판에 의해 협지된 반도체 칩의 주위에 충전되는 수지는, 좁은 공간에 충전되기 때문에, 유동성이 좋은 것은 물론이지만, 그 밖에 반도체 칩의 열을 배선 기판 및 방열판으로 밀어내는 역할도 하기 때문에, 열전도성이 우수한 것이 바람직하다. 구체적으로는, 수지의 열전도율은 $0.5 \sim 3.5 \text{ W/m} \cdot ^\circ\text{C}$ 에서의 범위에서 있는 것이 바람직하다. 수지의 열전도율이 $0.5 \text{ W/m} \cdot ^\circ\text{C}$ 미만이면, 방열 효과가 모자라고, 반대로 열전도율이 $3.5 \text{ W/m} \cdot ^\circ\text{C}$ 를 넘으면, 열전도성 필러를 배합하여 열전도성을 부여하는 타입의 수지의 경우에, 필러의 양이 많아져, 수지의 유동성이 저하하고, 공극이나 충전 불량이 생기기 쉽다.

열경화성 수지는, 적합한 수지의 하나이다. 열경화성 수지를 이용하면, 성형 가열시에 수지 점도가 대폭 저하되므로, 공극 없이 충전할 수 있고, 또한 수지의 박리도 생기기 어려워진다. 열가소성 수지는, 충전시의 저점도화와 냉각 후의 수지 조성물의 내열성이 양립하지 않기 때문에, 열가소성 수지를 사용하는 경우에는, 열경화 수지 성분을 섞어 이용하는 것이 바람직하다. 열가소성 수지 중에 열경화성 수지를 함유함으로써, 성형 후의 가열 경화에 의해 열가소성 수지 중에 3차원 그물 눈 구조가 도입되어, 소위 그물 눈 상호 침입 구조(interpenetrating polymer network 구조)를 갖는 수지가 된다. 이 그물 눈 상호 침입 구조의 수지는, 열가소성 수지가 갖는 단시간 성형의 이점을 활용하면서, 내열성을 향상하는 효과가 있다.

열경화성 수지에는, 산우수물 경화형, 페놀 경화형, 이미다졸 촉매 경화형 또는 아민 경화형 등의 에폭시 수지를 이용할 수 있다. 또한, 관능성 아크릴레이트 수지나 메타크릴레이트 수지, 시아네이트에스테르 수지, 부가형의 말레이미드 수지 또는 비스말레이미드 수지 등을 이용하는 것도 가능하다.

열가소성 수지에는, 폴리이미드 수지 혹은 폴리 아미드 이미드 수지 등을 이용할 수 있다.

열가소성 수지 중에 함유하는 열경화 수지는, 상기 열경화성 수지의 가열 경화물의 특성으로서, 선팽창 계수가 $10 \text{ ppm}/^\circ\text{C}$ 내지 $60 \text{ ppm}/^\circ\text{C}$, 유리 전이 온도가 80°C 이상, 실온에 있어서의 탄성율이 500 Mpa 내지 25 GPa 의 범위에서 있는 것이 바람직하다. 열경화성 수지의 선팽창 계수가 $10 \text{ ppm}/^\circ\text{C}$ 미만, 유리 전이 온도가 80°C 미만, 또는 실온에 있어서의 탄성율이 500 MPa 미만이면, 수지의 수축력에 의해, 배선 기판 및 방열판 접착부가 박리하기 쉬워진다. 또한, 열경화성 수지의 선팽창 계수가 $60 \text{ ppm}/^\circ\text{C}$ 를 넘고, 실온의 탄성율이 25 GPa 를 넘으면, 반도체 칩과 수지, 또는 배선 기판과 수지의 열팽창 계수의 차이로부터 생기는 응력이 커지며, 칩, 금속 범프 및 배선 기판의 각각의 계면에 균열이나 박리가 발생하기 쉬워진다.

열가소성 폴리이미드 수지에 열경화성 수지로서 에폭시 수지, 말레이미드 수지 혹은 비스 말레이미드 수지 등을 함유한 것은, 접착성과 흡습성을 균형있게 취할 수 있으므로, 본 발명에서 이용하기에 적합하다.

수지 중에는, 접착력의 향상과 저응력화의 관점에서, 실리콘 고무, 아크릴 고무, 니트릴 부타디엔 고무 등의 가동화제를 혼합할 수가 있다. 또한, 선팽창 계수를 조정하거나, 열전도성을 높이기 위해서 무기질 충전제를 혼합할 수가 있다. 무기질의 충전제로서는, 최대입경이 $50\mu\text{m}$ 이하, 평균 입경이 $0.5 \sim 10\mu\text{m}$ 의 범위에서 있는 구형 필러를 이용하는 것이 바람직하다. 무기질 충전제의 최대 입경이 $50\mu\text{m}$ 를 넘으면, 좁은 간극에의 수지의 충전성이 저하되고, 공극이 발생하기 쉬워진다. 무기질 충전제의 평균 입경이 $0.5\mu\text{m}$ 미만이면, 수지 조성물의 점도가 급격히 상승하기 때문에 수지의 미충전이 일어나기 쉽다. 또한, 매우 미세한 충전제는 응집하기 쉽고, 분산성이 나빠진다. 평균 입경이 $10\mu\text{m}$ 를 넘어도 수지의 미충전이 일어나기 쉽다. 수지의 저열팽창률화를 달성하기 위해서는, 무기질 충전제로서, 용융 실리카, 합성 실리카, 타르크, 또는 탄산 칼슘등을 함유하는 것이 바람직하다. 이들 중에는, 순도, 입자 형태의 균일성, 저열팽창성 등의 점에서 용융 실리카 또는 합성 실리카가 특히 바람직하다. 또한, 수지의 열전도성을 높이기 위해서는, 충전제로서, 결정성 실리카, 질화 알루미늄, 실리콘 질화물, 질화 붕소, 알루미늄 등을 이용하는 것이 바람직하다. 이상 서술한 무기질 충전제는, 구형 또는 필러의 모퉁이를 깎은 구형에 가까운 형상으로 하여 이용하는 것이, 수지의 점도, 칩에의 손상을 적게 하는 점에서 바람직하다.

배선, 기판과 방열판의 간극을 열경화성 수지만으로 채우는 경우에는, 열경화성 수지의 물성으로서 선팽창 계수가 $60 \text{ ppm}/^\circ\text{C}$ 이하, 특히 $40 \text{ ppm}/^\circ\text{C}$ 이하의 것을 이용하는 것이 바람직하다.

방열판의 재료에는, 동, 알루미늄, 스테인레스, 철, 코발트 등의 금속, 질화 알루미늄, 실리콘 질화물, 질화 보론, 알루미늄 등의 세라믹스를 이용할 수 있다. 또한, 질화 알루미늄, 실리콘 질화물, 질화 붕소, 알루미늄 등과 같이 열전도성이 우수한 필러를 함유한 수지판, 혹은 금속을 코어로 한 수지판 등을 이용할 수 있다. 동판에 니켈 도금 등을 실시하여 사용할 수도 있다.

방열판은, 반도체 모듈의 휘어짐을 적게 하는 관점에서, 선팽창 계수가 배선 기판의 선팽창 계수에 가까운 것이 바람직하다. 배선 기판과 방열판 선팽창 계수의 차는 $10 \text{ ppm}/^\circ\text{C}$ 이하, 바람직하게는 $5 \text{ ppm}/^\circ\text{C}$ 인 것이 바람직하다. 양자의 선팽창 계수의 차가 $10 \text{ ppm}/^\circ\text{C}$ 를 넘으면, 온도 사이클의 신뢰성을 평가하는 시험에 있어서, 모듈에 휘어짐이 생기기 쉽고, 또한 수지의 균열이 생기기 쉽다. 또한, -55°C 내지 150°C 의 온도 사이클 조건으로서는, 양자의 선팽창 계수의 차가 $5 \text{ ppm}/^\circ\text{C}$ 이하가 아니면 1000 사이클을 만족할 수 없다.

방열판의 판두께는, $10\mu\text{m}$ 에서 2 mm 의 범위가 바람직하다. $10\mu\text{m}$ 미만의 판두께이면, 지나치게 얇아서 취급이 어렵다. 판두께가 2 mm 를 넘으면, 절단하기 어려운 데다가, 버어가 생기기 쉽다. 또한, 반도체 모듈 자체의 두께도 두꺼워지기 때문에, 박형 모듈의 용도에는 알맞지 않다. 방열판은, 한 장의 평탄한 판형이라도 좋고, 또한 판의 단부를 절곡하여 캄형으로 한 것라도 좋다.

방열판과 반도체 칩의 접합은, 주로 수지에 의해서 이루어지고, 이 수지를 거쳐 칩의 열이 방열판에 전달되므로, 칩과 방열판 간극은, 가능한 한 좁은 쪽이 좋다. 다만, 너무 좁으면, 공극이 생기기 쉽고,

또한 수지의 박리가 생기기 쉽다. 이 점에서, 양자의 간극은 10~200 μ m의 범위가 바람직하다.

배선 기판의 재료에는, 유리 섬유나 유기 섬유로 이루어지는 직포, 부직포를 포함하는 유기계 인쇄 기판, 폴리아미드 등의 배선 테이프, 또는 세라믹 기판 등을 용도에 따라서 이용할 수 있다. 유기계 인쇄 기판은, 저비용 반도체 모듈에 적합하다. 가요성 폴리아미드 배선 테이프는, 미세 피치 형성이 필요한 반도체 모듈에 적합하다. 또한, 세라믹 기판은 자동차나 산업용전자 기기 등의 내열성, 고신뢰성이 요구되는 반도체 모듈에 적합하다.

도면의 간단한 설명

도1의 (a) 및 (b)는, 반도체 칩을 배선 기판의 편면에 금속 범프를 이용하여 실장한 반도체 모듈의 단면도이며, (c)는 평면도이다.

도2의 (a)는 반도체 칩을 금속 와이어 본딩에 의해 배선 기판의 편면에 실장한 반도체 모듈의 단면도이며, (b)는 평면도이다.

도3은, 반도체 칩을 배선 기판의 편면에 금속 범프를 이용하여 실장한 반도체 모듈의 다른 예를 도시한 단면도이다.

도4의 (a)는 반도체 칩을 배선 기판의 양면에 금속 범프를 이용하여 실장한 반도체 모듈의 단면도이며, (b)는 평면도이다.

도5는 도1의 (b)에 도시한 구조의 반도체 모듈의 실장 방법을 도시한 공정도이다.

도6은 도2에 도시한 구조의 반도체 모듈의 실장 방법을 도시한 공정도이다.

도7은 도3에 도시한 구조의 반도체 모듈의 실장 방법을 도시한 공정도이다.

도8은 도4에 도시한 구조의 반도체 모듈의 실장 방법의 일례를 도시한 공정도이다.

도9는 도4에 도시한 구조의 반도체 모듈의 다른 실장 방법을 도시한 공정도이다.

도10은 반도체 칩을 금속 와이어 본딩에 의해 배선 기판의 편면에 실장한 반도체 모듈의 실장 방법의 별도의 예를 도시한 공정도이다.

도11은 반도체 칩을 금속 범프를 이용하여 배선 기판의 양면에 실장한 반도체 모듈의 실장 방법의 별도의 예를 도시한 공정도이다.

실시예

이하, 본 발명의 반도체 모듈 및 그 실장 방법에 관해서, 도면을 참조하면서 설명한다. 단, 본 발명은 이하에 진술하는 실시예에 한정되는 것은 아니다.

실시예 1

도1의 (a) 및 (b)는 6개의 반도체 칩(1)을 배선 기판(3)의 편면에 금속 범프(2)를 이용하여 실장하고, 반도체 칩의 상면을 방열판(4)으로 덮고, 배선 기판과 방열판 사이에 수지 조성물(5)을 충전한 반도체 모듈의 단면도를 도시하고있으며, 도1의 (c)는 방열판을 제외한 상태의 평면도를 도시하고 있다.

도1의 (a)에 도시한 모듈은, 방열판(4)의 양끝이 절곡되어 캡형으로 되어 있으며, 캡의 단부면이 배선 기판에 접합되어 있다. 한편, 도1의 (b)에 도시한 모듈은, 방열판이 평탄한 판형으로 되어 있다. 양자를 비교한 경우에는, 방열 특성 면에서, 도1의 (a) 쪽이 우수하다. 반도체 칩(1)은, 베어 칩이라도 좋고, 또한 CSP과 같이 반도체 패키지가 좋다. 또, 도1에서는 도시를 생략하고 있지만, 금속 범프(2)의 일단은 베어 칩의 패드에 전기적으로 접속되어 있다. 금속 범프(2)의 타단은 배선 기판(3)의 패드(20)에 전기적으로 접속되어 있다.

도1의 (b)에 도시한 구조의 반도체 모듈의 실장 방법을 도5의 (a) 내지 (f)에 따라서 설명한다.

우선, 도5의 (a)에 도시한 바와 같이, 금속 범프(2)를 접속한 반도체 칩(1)과 배선 기판(3)을 준비한다. 배선 기판(3)의 패드(20)에는, 땀납 플럭스를 도포하고, 땀납을 형성해 둔다.

다음에 도5의 (b)에 도시한 바와 같이, 반도체 칩(1)의 금속 범프(2)가 설치된 면을 아래쪽으로 하여 배선 기판 상에 탑재하고, 배선 기판의 패드와 금속 범프(2)를 접속한다. 도5의 (b) 이후에는, 패드(20)의 도시가 생략되어 있다. 다음에 도5의 (c)에 도시한 바와 같이, 태블릿화한 수지 조성물(5)을 반도체 칩의 위에 얹는다. 계속해서, 도5의 (d)에 도시한 바와 같이, 수지 조성물(5)의 위에 방열판(4)을 놓고, 방열판(4)과 배선 기판(3)의 외측에서 2장의 프레스판(9)에 의해서 끼어 넣는다. 배선 기판측의 프레스판에는 스페이서(10)를 설치하고, 수지 조성물(5)이 프레스판의 외측으로 흘러 나오지 않도록 했다. 이 상태에서, 압축 성형 프레스를 행하고, 도5의 (e)에 도시한 상태로 한다. 이 상태에서, 잠시 방치하고 나서, 압력을 개방하여 모듈을 취출, 도5의 (f)에 도시한 구조의 멀티·칩 모듈을 얻는다.

반도체 칩에는 베어 칩을 이용했다. 배선 기판에는 동 패드를 설치하고, 동 패드 상에 납과 주석의 공정(共晶) 땀납을 형성했다. 동 패드와 금속 범프(2)의 접합은, 240℃에서의 적외선 리플로우에 의해서 행하였다. 금속 범프(2)의 직경은 0.38mm이며, 금속 범프사이의 피치는 0.8mm, 칩과 배선 기판의 스탠드 오프 높이는, 약 100 μ m이다. 수지 조성물(5)에는, 비페닐형 에폭시 수지(100중량부), 페놀 노볼락 수지 경화제(54부), 트리페닐포스핀 경화 촉진제(4부), 에폭시 실란 커플링제(3부), 카본 착색제(1부)로 이루어지는 수지 배합을 20 중량%와, 구상 용융 실리카(최대입경: 45 μ m, 평균 입경: 7 μ m) 80 중량%를 혼련 롤에서 60~120℃의 조건에서 혼련한 것을 이용했다. 이 수지 조성물의 가열 경화 후의 선 팽창 계수는 16 ppm/℃이며, 실온에 있어서의 탄성률은 15 GPa 이다. 또한 경화 후의 유리 전이 온도는 120℃이다. 방열판(4)에는, 니켈 도금한 두께 500 μ m의 동판을 이용했다. 또, 압축 성형은, 100℃에서

10 분 예열한 후, 150℃로 승온시켜, 그 온도에서 20kg/cm²의 압력을 가함으로써 행하였다.

또한, 압축 성형후, 150℃에서 1 내지 2 시간 유지하고, 후경화를 행하였다.

이 결과, 배선 기판으로서 통상 사용되고 있는 ANSI(American National Standard Institute) 규격의 FR4 인쇄 기판(선팅창 계수: 14 ppm/℃)를 이용한 경우의 모듈의 휘어짐은, 20μm로 작은 것이었다. 이것은 방열판으로서, 선팅창 계수 17 ppm/℃의 동을 이용하고, 수지의 선팅창 계수에 근접했기 때문이다.

본 실시예에 따르면, 수지 조성물(5)이, 반도체 칩과 배선 기판 사이가 수지로 채워지기 때문에, 반도체 칩의 열이 배선 기판 측으로 양호하게 방산된다. 또한, 금속 범프(2)의 주위가 수지로 둘러 싸여 있기 때문에, 금속 범프가 산화되기 어렵다. 또한, 칩과 칩이 수지로 연결되어 있으므로 어느 칩에 응력이 가해지더라도, 응력이 분산된다. 또한, 방열판과 칩의 접합이 수지에 의해서 이루어져 있기 때문에, 반도체 칩의 크기에 변동이 있더라도 방열판을 용이하게 부착할 수 있다. 또한, 배선 기판과 방열판 간극에 동일 수지가 한번의 공정에 의해서 충전되므로, 수지 내에 계면이 생기거나 하지 않고, 계면 박리의 우려도 없다. 본 실시예에 따르면, 이 이외에, 모든 반도체 칩을 한번의 공정으로 방열판에 접착할 수가 있다는 효과도 있다.

실시예 2

도2의 (a)는, 6개의 반도체 칩(1)을 금속 와이어 본딩에 의해 배선 기판(3)의 편면에 실장한 반도체 모듈의 단면도이며, 도2의 (b)는 방열판을 제외한 상태의 평면도이다. 6개의 반도체 칩(1)은 금속 와이어(6)와 동시에 수지 조성물(5)에 의해 밀봉되어 있다. 이 반도체 모듈의 실장 방법을 도6에 따라서 설명한다.

우선 반도체 칩(1)을 절연성 접착제를 이용하여 배선 기판(3) 상에 탑재하고, 도6의 (a)의 상태로 한다. 접착제에는, 실온에 있어서의 탄성율이 1 Gpa 이하의 저탄성율 예측시 수지계접착제를 이용하면 좋다. 다음에 반도체 칩(1)의 회로 형성면 측에 설치된 패드(21)와 배선 기판(3)의 패드(20)를 금 와이어와 같은 금속 와이어(6)를 이용하여 접속하고, 도6의 (b)의 상태로 한다. 다음에, 도6의 (c)에 도시한 바와 같이 수지 조성물(5)을 반도체 칩상에 얹는다. 그 후, 도6의 (d)에 도시한 바와 같이, 수지 조성물(5)의 위에 방열판(4)을 얹고, 배선 기판과 방열판의 양측에서 프레스판(9)으로 가압하고, 압축 성형 프레스에 의한 성형을 한다. 압축 성형시에 금속 와이어(6)가 짓눌리지 않도록 하기 위해서, 방열판(4)에 보강판(18)을 설치해 두거나, 혹은 상하 프레스판에 스페이서(10)를 배치해 두면 좋다. 도2의 (b)에서는, 방열판(4)에 12개의 원통 형상을 한 보강판(18)이 부착되고, 또 스페이서(10)가 설치된 상태가 도시되어 있다. 압축 성형 프레스에 의한 성형에 의해서 도6의 (e)에 도시한 상태가 된다. 그 후, 프레스판을 제거하여, 도6의 (f)에 도시한 모듈을 얻는다.

방열판(4)에 니켈 도금한 동판으로 이루어지는 선팅창 계수가 17 ppm/℃인 재료를 이용하고, 수지 조성물(5)에 실시예 1에서 사용한 것과 동일한 재료를 이용하고, 배선 기판에 ANSI 규격의 FR4 인쇄 기판(선팅창 계수: 14 ppm/℃)를 이용하고, 반도체 칩으로 배어 칩을 이용한 바, 반도체 모듈은 무공극이며, 모듈 전체의 휘어짐은 50μm로 작은 것이었다.

본 실시예에 있어서도, 반도체 칩과 방열판을 전열 부재를 이용하는 일없이 접합할 수 있다. 또한, 칩과 칩 사이가 수지 조성물(5)에 의해서 연결되고 있기 때문에, 반도체 칩에 가해지는 응력이 분산된다.

실시예 3

도3는, 복수의 반도체 칩(1)을 배선 기판(3)의 편면에 금속 범프(2)를 이용하여 실장하고, 반도체 칩(1)과 방열판(4)을 접착제(7)를 이용하여 접착하고, 복수의 반도체 칩의 주위에 수지 조성물(5)을 충전한 반도체 모듈을 보이고 있다. 이 구조의 반도체 모듈의 실장 방법을 도7에 따라서 설명한다.

우선, 도7의 (a)에 도시한 바와 같이, 금속 범프(2)를 설치한 반도체 칩과, 배선 기판(3)을 준비한다. 다음에, 도7의 (b)에 도시한 바와 같이, 금속 범프(2)를 배선 기판(3)의 패드(20)에 접속한다. 또, 도7의 (b) 이후에는, 패드(20)의 도시를 생략했다. 다음에, 반도체 칩(1)의 상면에 열전도성이 좋은 접착제(7)를 도포하고, 도7의 (c)에 도시한 상태로 한다. 접착제(7)에는, 시트형의 것을 이용하는 것이 좋다. 접착제의 재료는, 에폭시 수지, 실리콘수지, 아크릴레이트, 메타크릴레이트 등이 적합하다. 다음에, 도7의 (d)에 도시한 바와 같이, 반도체 칩의 위에 방열판(4)을 접착한다. 계속해서, 도7의 (e)에 도시한 바와 같이, 금형(11)내에 삽입하고, 저압 트랜스퍼 프레스의 플런저(12)를 이용하여 수지 조성물(5)을 금형 내에 주입한다. 트랜스퍼 프레스 성형이 종료되면, 모듈을 취출하고, 후경화를 하고, 도7의 (g)의 상태로 한다. 그 후, 배선 기판의 여분의 장소(17)를 절단하고, 도7의 (h)에 도시한 반도체 모듈을 얻는다.

접착제(7)에는, 열전도율이 1.5 W/m℃에서의 에폭시 수지 접착제를 이용했다. 칩에는 배어 칩을 이용하고, 칩과 방열판의 접합은, 150℃의 온도로 1시간 가열함으로써 행하였다. 저압 트랜스퍼 프레스는, 압력 70kg/cm²의 조건 하에서, 175℃의 온도로 120초 유지함으로써 행하였다. 수지 조성물(5)에는, 비페닐형 에폭시 수지(100중량부), 아랄칼 페놀 수지 경화제(85부), 이미다졸 경화 촉진제(2부), 에폭시 실란 커플링제(3부), 카본 착색제(1부), 폴리에틸렌계와 몬탄산 에스테르계로 이루어지는 이형제 2부를 배합한 에폭시 수지 배합물 20 중량%와, 구상 용융 실리카(최대입경: 45μm, 평균 입경: 7μm) 40 중량%와, 알루미나(최대 입경: 50μm, 평균 입경: 7μm) 40 중량%를, 혼련 롤로 60 내지 120℃의 조건에서 혼련한 것을 이용했다. 이 수지 조성물의 가열 경화 후의 유리 전이 온도는 125℃, 선팅창 계수는 15 ppm/℃, 실온에 있어서의 탄성율은 17.5 Gpa, 열전도율은 1.2 W/m℃이다. 트랜스퍼 프레스 후의 모듈의 후경화는 175℃, 2시간 가열의 조건에서 행하였다. 이러한 방식으로 얻어진 반도체 모듈은 무공극이며, 모듈 전체의 휘어짐은 FR5에 준하는 인쇄 기판(선팅창 계수: 13 ppm/℃)에 있어서, 55μm로 작은 것이었다.

본 실시예는, 반도체 칩과 방열판(4) 사이에 접착제(7)가 배치되어 있는 점에서, 먼저 도시한 실시예와는 다르다. 접착제에 수지 조성물(5) 보다도 열전도성이 좋은 것을 이용함으로써, 먼저 도시한 실시예 보다도 방열 특성을 높일 수 있다. 이 실시예에 있어서도, 칩에 가해진 응력이 수지를 거쳐서 다른 칩

에 전해지기 때문에, 칩에 가해지는 응력이 분산된다.

실시예 4

도4의 (a)는, 반도체 칩(1)을 배선 기판(3)의 양면에 금속 범프(2)를 이용하여 실장한 반도체 모듈의 단면도이며, 도4의 (b)는 방열판을 제외한 상태의 평면도이다. 도면 중 부호 8은 동배선을 보이고 있다. 도4의 (a) 및 (b)에 도시한 구조의 반도체 모듈의 실장 방법을 도8에 따라서 설명한다.

우선 배선 기판(3)의 편면에 복수의 반도체 칩(1)을 실장하고, 도8의 (a)의 상태로 한다. 또, 배선 기판 상에는 패드가 설치되어 있지만, 도시를 생략했다. 또한, 도4에서는 배선 기판의 편면에 8개의 반도체 칩이 탑재되어 있지만, 여기서는 간략화하여 3개만 도시했다. 다음에, 도8의 (b)에 도시한 바와 같이, 배선 기판(3)을 뒤집어, 상기 배선 기판의 이면에도 복수의 반도체 칩(1)을 실장한다. 그 후, 도8의 (c)에 도시한 바와 같이, 편면에 수지 조성물(5)의 얇은 막을 형성한 방열판(4)을, 수지 조성물(5)이 반도체 칩(1) 측이 되도록 하여 반도체 칩(1)의 위에 얹는다. 그리고, 방열판의 외측에서 프레스판(10)으로 가압한다. 방열판(4) 상에 수지 조성물(5)의 얇은 막을 형성하는 방법은, 열 프레스로 라미네이트하는 방법, 수지 조성물을 용제에 녹여 방열판 상에 스크린 인쇄한 후 용제를 가열 휘산시키는 방법들에 의해서 행할 수 있다. 도8의 (c)에서는 배선 기판의 양면에 스페이서(10)를 부착하고, 반도체 칩(1)과 방열판(4) 간극이 일정하게 유지되도록 하고 있다. 압축 성형에 의해서, 도8의 (d)에 도시한 상태가 된다. 그 후, 도8의 (e)에 도시한 바와 같이, 프레스판을 제거하고, 반도체 모듈을 취출한다. 반도체 칩에 CSP를 이용하고, 도8에 도시한 방법에 의해서 실장된 멀티·칩 모듈은 무공극이며, 개인용 컴퓨터나 서버용 메모리 모듈로서 사용하는 데 적합했다.

본 실시예의 실장 방법에 따르면, 양면실장을 일괄할 수 있다고 하는 효과도 있다.

실시예 5

도9는, 복수의 반도체 칩을 배선 기판의 양면에 실장한 반도체 모듈의 다른 실장 방법을 도시한 공정도이다.

도9의 (a)와 (b)의 공정까지는, 실시예 4의 경우와 마찬가지로이다. 배선 기판 상의 패드는 도시를 생략했다. 다음에 방열판과 반도체 칩 사이에 수지 조성물(5)로 된 얇은 판을 협지하여, 방열판을 칩에 임시 압착하고, 도9의 (c)에 도시한 상태로 한다. 계속해서, 도9의 (d)에 도시한 바와 같이, 가열 오토콜레이브(13) 중에 삽입한다. 그 후, 가열 라미네이트를 행하고, 도9의 (e)의 상태로 한다. 라미네이트는, 예를 들면 오토콜레이브를 탈기한 후, 100℃의 온도로 승온하고, 더욱 150℃의 온도까지 서서히 승온하고, 150℃의 온도가 되었으면, 질소 가스를 이용하여 가압을 하고, 그 온도에서 60분 방치하는 방법에 의해서 행하여진다. 그 후, 냉각하고, 압력을 개방하고, 반도체 모듈을 취출, 도9의 (f)에 도시한 반도체 모듈을 얻는다.

가열 오토콜레이브에서는, 전체를 균일하게 가압할 수가 있기 때문에, 기판에 실장한 반도체 칩의 높이에 변동이 있더라도, 칩을 파손하는 일이 없고, 용이하게 방열판의 접합을 할 수 있다.

실시예 6

도10은, 배선 기판(3)의 편면에 금속 와이어 본딩에 의해 반도체 칩(1)을 실장한 반도체 모듈의 실장 방법의 별도의 예를 도시한 공정도이다.

도10의 (a)와 (b) 까지의 공정은, 실시예 2의 경우와 마찬가지로이다. 배선 기판 및 반도체 칩상의 패드는 도시를 생략했다. 이 다음, 랩핑을 한 방열판(4)과 반도체 칩(1) 사이에 원통 모양의 핀(19)을 두고, 핀(19)을 방열판과 칩과에 가압착한다. 또한, 방열판(4)의 단부를 배선 기판(3)에 접촉한다. 이러한 방식으로, 도10의 (c)에 도시한 상태로 한다. 핀(19)의 재료는, 금속 혹은 수지의 어느 쪽이나 좋다. 다만, 핀(19)에는 반도체 칩에 발생한 열을 방열판에 방출하는 역할도 있으므로, 열전도성이 우수한 재료를 이용하는 것이 좋다. 핀(19)은, 스크린 인쇄 또는 디스펜서에 의해서 방열판에 가압착할 수가 있다. 그 후, 도10의 (d)-1에 도시한 바와 같이, 금형(11)에 삽입하고, 저압 트랜스퍼 프레스를 이용하여 수지성형물(5)을 금형(11) 내에 주입한다. 도10의 (d)-2에 도시한 바와 같이 금형을 배치하면, 4조의 반도체 모듈을 동시에 성형할 수가 있다. 도10의 (d)-2에서는, 트랜스퍼 프레스 성형시에, 수지 조성물(5)은 금형 런너(15)를 통해 모듈 내의 간극에 충전된다. 또한, 성형시에 발생하는 가스와 여분의 수지는, 에어 벤트(16)로 뺀다. 도10의 (d)-1은, 도10의 (d)-2에 도시한 4개의 캐비티 부분 중 하나를 도시하고 있다. 트랜스퍼 프레스 성형에 의해서, 도10e에 도시한 상태가 되어, 이 상태에서부터 모듈을 취출하고, 후경화를 함으로써 도10의 (f)의 상태가 된다. 최종적으로, 배선 기판의 여분의 장소(17)를 절단하고, 도10의 (g)에 도시한 구조의 반도체 모듈이 얻어진다.

본 실시예에 따르면, 복수개의 멀티·칩 모듈에 대해, 한꺼번에 수지를 주입할 수 있다는 효과가 있다.

실시예 7

도11은, 복수의 반도체 칩(1)을 배선 기판(3)의 양면에 금속 범프(2)를 이용하여 실장한 반도체 모듈의 별도의 실장 방법을 도시한 공정도이다.

실시예 4에서 서술한 것과 같은 방법으로, 배선 기판의 양면에 반도체 칩을 탑재하고, 도11의 (a)의 상태로 한다. 다음에, 열전도성의 접착제를 반도체 칩의 상면에 도포하고, 도11의 (b)에 도시한 바와 같이 방열판(4)을 반도체 칩(1)의 위에 얹고, 칩과 방열판을 접촉한다. 그 후, 도11의 (c)에 도시한 바와 같이, 금형(11) 내에 삽입하고, 저압 트랜스퍼 프레스의 플런저(12)를 이용하여 수지 조성물(5)을 금형 내에 주입한다. 배선 기판(3)에는, 관통 구멍(30)이 몇군데 설치되어 있기 때문에, 용융한 수지 조성물은 관통 구멍을 통해, 금형 내의 모든 공간에 충전된다. 관통 구멍은 배선 기판의 배선 부분을 피하여 설치하는 것이 좋다. 관통 구멍을 설치하지 않고 배선 기판의 양면에 수지 조성물이 흐르는 유로를 형성하더라도 좋다. 트랜스퍼 프레스 성형에 의해서, 도11의 (d)에 도시한 바와 같이 금형 내를 수지로 (만족하다)채우고 나서, 모듈을 취출하여 후경화를 하고, 도11에 도시한 구조의 것을 얻는다.

수지 조성물(5)에는, 오르소 크레졸 노볼락 에폭시 수지(90중량부), 브롬화 에폭시 수지(10중량부), 알킬 페놀 노볼락 수지 경화제(85중량부), 이마다졸 경화 촉진제(2중량부), 에폭시 실란 커플링제(3중량부), 산산화 안티몬(6중량부), 카본 착색제(1중량부), 몬탄산에스테르계 이형제(1.5중량부)로 이루어지는 에폭시 수지 배합물 20중량%와, 구상 용융 실리콘(최대입경: 45 μ m, 평균 입경: 7 μ m) 80중량%를, 혼련 롤에서 60~120℃에서의 조건으로 혼련한 것을 이용했다. 이 수지 조성물의 가열 경화 후의 유리 전이 온도는 150℃, 선팅률 계수는 13 ppm/℃, 실온에 있어서의 탄성율은 16.4 GPa 이다. 접착제(7)에는, 에폭시 수지를 이용하였다. 얻어진 반도체 모듈은 무공극이었다. 또한, 베어 칩을 이용했을 때의 모듈 전체의 휘어짐은 FR5에 준하는 인쇄 기판(선팅률 계수: 13 ppm/℃)에 있어서 2.0 μ m로 작은 것이었다.

본 실시예에 도시한 바와 같이, 반도체 칩을 실장하는 배선 기판에 관통 구멍을 설치함으로써, 양면 실장의 반도체 모듈을 트랜스퍼 프레스로 용이하게 제조할 수가 있다.

실시예 8

도11에 도시한 실장 방법에 의해, 이하에 진술하는 반도체 모듈을 제조했다.

배선 기판에는, 질화 알루미늄으로 이루어지는 세라믹스기판(열팽창률: 3.5 ppm/℃)을 이용했다. 접착제(7)에는, 열전도성(1.5 W/m℃)이 우수한 에폭시 수지접착제를 이용했다. 방열판(4)에는, 알루미늄판(열팽창률: 23 ppm/℃)을 이용했다. 반도체 칩(CSP)과 방열판의 접착은, 150℃의 온도에서 1시간 가열하여 에폭시 수지 접착제를 경화시킴으로써 행하였다. 트랜스퍼 프레스 성형은, 압력 70 kg/cm²의 조건 하에서, 수지 조성물(5)을 175℃의 온도로 120 초 가열함으로써 행하였다.

얻어진 반도체 모듈은 무공극이며, 모듈 전체의 휘어짐은 배선 기판과 방열판의 열팽창률 차가 큰데도 불구하고, 15 μ m로 작은 것이었다. 이것은 반도체 칩이 상하 두장의 방열판으로 협지되어 있고, 상하 대칭형으로 되어 있기 때문이라고 생각된다.

트랜스퍼 프레스 성형은 다른 성형법에 비교하여 저압 성형이 가능하고, 본 실시예와같이 열팽창률이 다른 재료의 조합에 있어서도 잔류 왜곡이 적은 반도체 모듈을 얻을 수 있다.

실시예 9

반도체 칩(CSP)을 배선 기판의 양면에 실장한 반도체 모듈을 도9에 도시한 방법에 의해 만들었다. 수지 조성물(5)에는, 열가소성 폴리이미드 수지(용점: 150℃)를 이용했다. 이 수지 조성물(5)을 용제에 용해한 후, 방열판 상에 도포하고, 10 내지 150℃의 온도로 가열 건조했다. 이에 따라, 수지 조성물(5)은, 방열판상에 박막형으로 라미네이트되었다. 수지 박막의 두께는 약 1 mm이다. 경화 후의 수지 조성물(5)의 선팅률 계수는 50 ppm/℃, 실온에 있어서의 탄성율은 6.5 GPa 이다.

얻어진 반도체 모듈은 수지 조성물 내가 무공극이며, 또한 수지의 박리도 없었다. 칩과 칩 사이에는, 수지가 충분히 퍼지고 있었다. 금속 범프 접속은, 와이어 본딩에 비교하여 칩 높이를 낮게 할 수 있고, 박형 반도체 모듈을 얻는 데 적합하다. 또한, 고밀도 실장에 적합하다.

실시예 10

수지 조성물(5)에, 열가소성 폴리이미드와 열가소성 폴리아미드이미드의 혼합물(중량비 1:1)을 이용하고, 도10에 도시한 방법에 의해 반도체 모듈을 실장했다. 또, 반도체 칩에는 베어 칩을 이용했다. 얻어진 모듈은, 배선 기판과 방열판에 의해 협지된 반도체 칩의 주위가, 수지로 몰려있고, 무공극이었다. 모듈 전체의 휘어짐은 FR4인쇄 기판(선팅률 계수: 14 ppm/℃)에 있어서, 60 μ m로 작은 것이었다.

실시예 11

도6에 도시한 실장 방법에 의해서, 이하에 진술하는 반도체 모듈을 만들었다.

반도체 칩(CSP)(1)과 배선 기판의 접합은, 절연성 저탄성 에폭시 수지(실온에 있어서 800 MPa)를 이용하고, 180에서의 온도로 1시간 가열함으로써 행하였다. 25 μ m 직경의 금와이어를 이용하고, 칩과 배선 기판을 220℃에서 초음파 접합하였다. 수지 조성물(5)에는, 열가소성 폴리이미드에 에폭시 수지, 페놀 노볼락계 경화제, 트리페닐 포스핀 경화 촉매 및 에폭시 실란계 커플링제를 섞은 것을 이용했다. 방열판(4)에는, 니켈 도금한 동(선팅률 계수: 17 ppm/℃)을 이용했다.

얻어진 반도체 모듈은 무공극이며, 수분의 침입 또는 결로가 생길 우려는 없었다. 또한 모듈 전체의 휘어짐은 FR4 인쇄 기판(선팅률 계수: 14 ppm/℃)에 있어서 70 μ m로 작은 것이었다.

산업상이용가능성

본 발명에 따르면, 반도체 칩에 가해지는 응력이 수지를 거쳐 사방으로 분산되기 때문에, 하나의 칩에 응력 집중이 생기는 일이 없다. 반도체 칩을 배선 기판에 금속 범프를 이용하여 접속하는 구조의 모듈에서는, 반도체 칩과 배선 기판 간극이 수지로 채워지기 때문에, 칩에서 배선 기판에의 열전도도 양호하다. 또한, 칩과 방열판의 접합이 수지에 의해서 이루어지기 때문에, 칩의 크기에 변동이 있더라도, 모든 칩을 용이하게 방열판에 접합할 수가 있다.

이러한 사실로부터, 열전·칩 모듈로서 매우 적당하여, 고속, 고집적 메모리로서 사용하는 데 적합하다.

(57) 청구의 범위

청구항 1

베어 칩 또는 패키징된 반도체 칩에서 선택된 반도체 칩이 한 장의 배선 기판 상에 복수개 탑재되고, 복수개의 상기 반도체 칩 상에 한 장의 방열판이 배치된 구조를 갖는 반도체 모듈에 있어서, 상기 배선 기

판과 상기 방열판에 의해 협지된 복수개의 상기 반도체 칩의 주위가 수지로 채워지고, 상기 반도체 칩과 상기 반도체 칩이 상기 수지를 거쳐 연결되어 있는 것을 특징으로 하는 반도체 모듈.

청구항 2

제1항에 있어서, 베어 칩 또는 패키징된 반도체 칩 복수개가 금속 범프에 의해 상기 배선 기판에 접속되고, 상기 배선 기판과 상기 반도체 칩의 간극에 수지가 충전되어 있는 것을 특징으로 하는 반도체 모듈.

청구항 3

제1항에 있어서, 베어 칩 또는 패키징된 반도체 칩이 회로 형성면을 위쪽으로 하여 상기 배선 기판에 접촉되고, 상기 반도체 칩과 상기 배선 기판이 금속 와이어 본딩되어 있는 것을 특징으로 하는 반도체 모듈.

청구항 4

베어 칩 또는 패키징된 반도체 칩의 복수개가 한 장의 배선 기판에 탑재되어, 복수개의 상기 반도체 칩의 상면에 한 장의 방열판이 배치된 구조를 갖는 반도체 모듈에 있어서,

상기 반도체 칩과 상기 방열판 사이에 접착제 층을 갖고, 상기 배선 기판과 상기 방열판에 의해 협지된 상기 반도체 칩의 주위에 수지가 충전되어, 상기 수지에 의해서 상기 반도체 칩과 상기 반도체 칩이 연결되어 있는 것을 특징으로 하는 반도체 모듈.

청구항 5

베어 칩 또는 패키징된 반도체 칩의 복수개가 회로 형성면을 위쪽으로 하여 배선 기판에 탑재되고, 상기 반도체 칩과 상기 배선 기판이 금속 와이어 본딩되어, 복수개의 상기 반도체 칩의 회로 형성면의 위에 한 장의 방열판이 배치된 구조를 갖는 반도체 모듈에 있어서,

상기 반도체 칩과 상기 방열판 사이에 금속 와이어 보호용 스페이서를 지니고, 상기 방열판과 상기 배선 기판에 의해 협지된 반도체 칩의 주위에 수지가 충전되고, 상기 반도체 칩과 상기 반도체 칩이 상기 수지를 거쳐 연결되고 있는 것을 특징으로 하는 반도체 모듈.

청구항 6

베어 칩 또는 패키징된 반도체 칩의 복수개가 회로 형성면을 위쪽으로 하여 배선 기판에 탑재되고, 상기 반도체 칩과 상기 배선 기판이 금속 와이어 본딩되어, 복수개의 상기 반도체 칩의 회로 형성면의 위에 한 장의 방열판이 배치된 반도체 모듈에 있어서, 상기 배선 기판과 상기 방열판 사이에 금속 와이어 보호용 스페이서를 지니고, 상기 방열판과 상기 배선 기판에 의해 협지된 반도체 칩의 주위가 수지에 의해서 채워지고, 상기 반도체 칩과 상기 반도체 칩이 상기 수지에 의해서 연결되어 있는 것을 특징으로 하는 반도체 모듈.

청구항 7

제1항, 제4항, 제5항, 제6항 중 어느 한 항에 있어서, 상기 수지 조성물이 열경화성 수지로 이루어지는 것을 특징으로 하는 반도체 모듈.

청구항 8

제7항에 있어서, 상기 열경화성 수지 중에, 무기질의 충전제를 함유한 것을 특징으로 하는 반도체 모듈.

청구항 9

제7항에 있어서, 상기 수지 조성물의 열전도율이 0.5~3.5 W/m℃의 범위에 있는 것을 특징으로 하는 반도체 모듈.

청구항 10

베어 칩 또는 반도체 패키지로부터 선택된 반도체 칩 복수개를 한 장의 배선 기판 상에 탑재하고, 상기 반도체 칩의 상측에 방열판을 배치하고, 상기 배선 기판과 상기 방열판에 의해 협지된 공간에 수지 조성물을 충전하여 이루어지는 반도체 모듈의 실장 방법에 있어서, 상기 배선 기판 상에 상기 반도체 칩을 탑재한 후, 상기 반도체 칩의 위에 상기 방열판을 두고, 상기 배선 기판과 상기 방열판에 의해 협지된 공간의 전부를 채우도록 상기 수지 조성물을 주입하는 것을 특징으로 하는 반도체 모듈의 실장 방법.

청구항 11

제10항에 있어서, 상기 반도체 칩과 상기 방열판 사이에 상기 수지 조성물의 덩어리를 두고, 상기 방열판과 상기 배선 기판의 외측에서 프레스판으로 가압하면서 상기 수지 조성물을 가열하여 상기 수지 조성물을 유동시켜, 상기 배선 기판과 상기 방열판에 의해 협지된 공간에 상기 수지 조성물을 충전하는 것을 특징으로 하는 반도체 모듈의 실장 방법.

청구항 12

제10항에 있어서, 상기 반도체 칩을 상기 배선 기판에 탑재한 후, 상기 반도체 칩의 위에 상기 방열판을 두고 금형 내에 삽입하고, 트랜스퍼 프레스 성형에 의해 수지 조성물을 상기 금형 내에 주입하는 것을 특징으로 하는 반도체 모듈의 실장 방법.

청구항 13

제12항에 있어서, 상기 반도체 칩과 상기 방열판을 접착제를 이용하여 미리 접착한 후, 상기 금형 내에 삽입하는 것을 특징으로 하는 반도체 모듈의 실장 방법.

청구항 14

제10항에 있어서, 상기 반도체 칩을 상기 배선 기판 상에 탑재한 후, 상기 반도체 칩상에 수지 조성물을 가압한 상기 방열판을 씌우고, 이들을 오토 클레이브 중에 넣어 가열하는 것을 특징으로 하는 반도체 모듈의 실장 방법.

청구항 15

복수개의 반도체 칩을 회로 형성면을 위에 하여 한 장의 배선 기판 상에 탑재하고, 상기 회로 형성면에 설치된 패드를 상기 배선 기판의 패드에 금속 와이어 본딩에 의해 전기적으로 접속하고, 복수개의 상기 반도체 칩상에 한 장의 방열판을 씌워, 상기 배선 기판과 상기 방열판에 의해 형성된 공간에 수지 조성물을 주입하는 반도체 모듈의 실장 방법에 있어서, 상기 반도체 칩상에 상기 방열판을 씌울 때에 양자간에 금속 와이어 보호용 스페이서를 두고, 그 후, 상기 방열판과 상기 배선 기판에 의해 형성된 공간의 전부에 수지 조성물을 충전하는 것을 특징으로 하는 반도체 모듈의 실장 방법.

청구항 16

복수개의 반도체 칩을 회로 형성면을 위에 하여 한 장의 배선 기판 상에 탑재하고, 상기 회로 형성면에 설치된 패드를 상기 배선 기판의 패드에 금속 와이어 본딩에 의해 전기적으로 접속하고, 복수개의 상기 반도체 칩상에 한 장의 방열판을 씌워, 상기 배선 기판과 상기 방열판에 의해 사이에 생긴 공간에 수지 조성물을 주입하는 반도체 모듈의 실장 방법에 있어서, 상기 배선 기판과 상기 반도체 칩 사이에 금속 와이어 보호용 스페이서를 두고, 그 후, 상기 방열판과 상기 배선 기판에 의해 형성된 공간의 전부에 수지 조성물을 충전하는 것을 특징으로 하는 반도체 모듈의 실장 방법.

요약

복수의 베어 칩 또는 패키징된 반도체 칩을 한 장의 배선 기판 상에 탑재하고, 반도체 칩의 상면을 한 장의 방열판으로 덮은 구조를 갖는 멀티·칩 모듈에 있어서, 배선 기판과 방열판에 의해 형성된 칩의 주위의 모든 공간을 수지로 채우게 한다.

이와 같이 함으로써, 반도체 칩과 칩이 수지를 거쳐 연결되기 때문에, 어느 칩에 응력이 가해지더라도 분산되고, 응력 집중에 기인하는 칩이나 방열판의 균열 발생을 경감할 수 있다. 또한, 반도체 칩과 방열판의 접합이 수지에 의해서 이루어지기 때문에, 칩의 크기에 변동이 있더라도, 방열판과 칩을 용이하게 접착할 수 있다. 또, 본 발명에 따르면, 모든 칩과 방열판의 접합을 한번의 공정으로 행할 수 있게 된다.

대표도

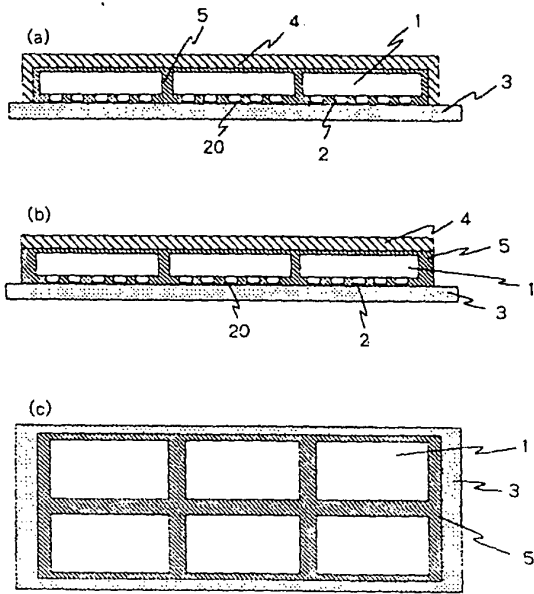
도 1

색인어

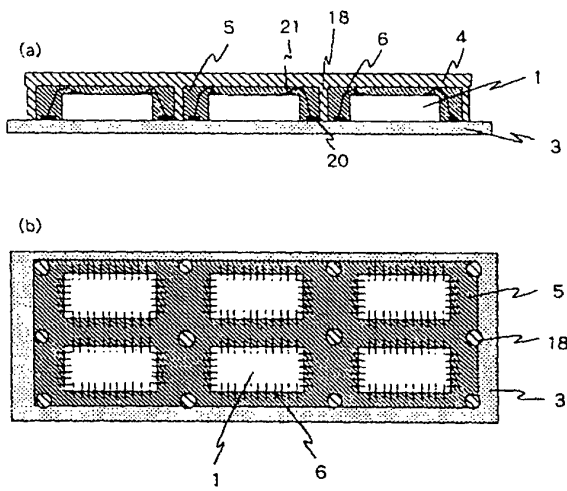
베어 칩, 패키징된 반도체 칩, 배선 기판, 방열판, 멀티·칩 모듈,

도면

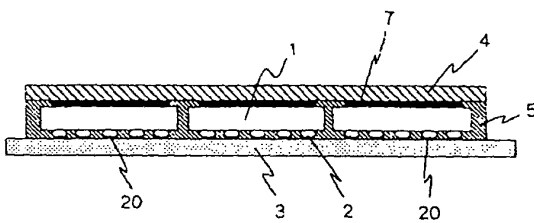
도면1



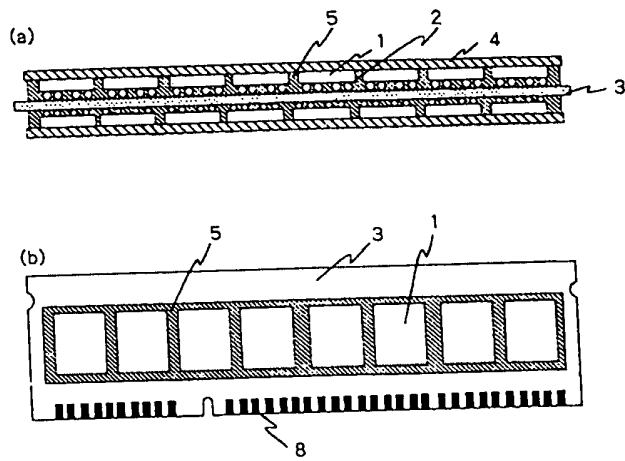
도면2



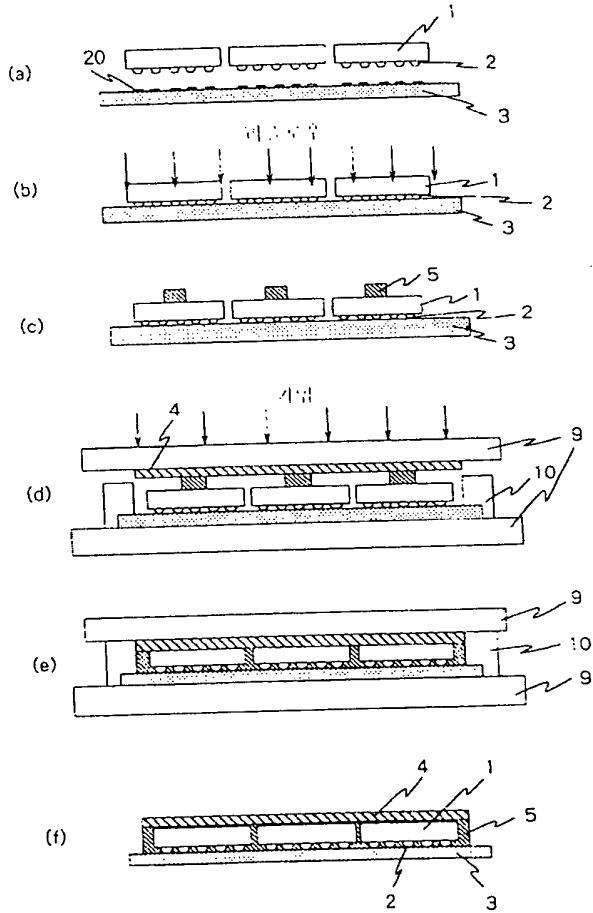
도면3



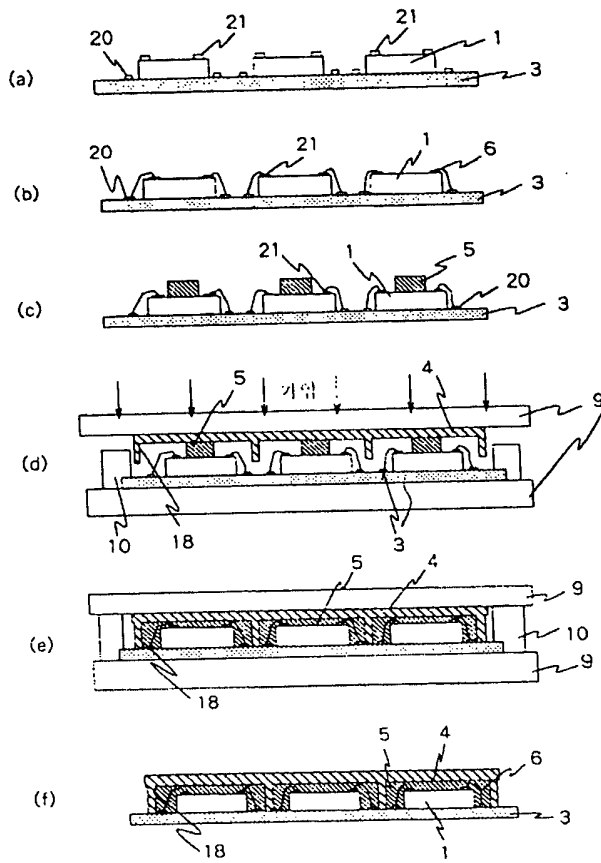
도면4



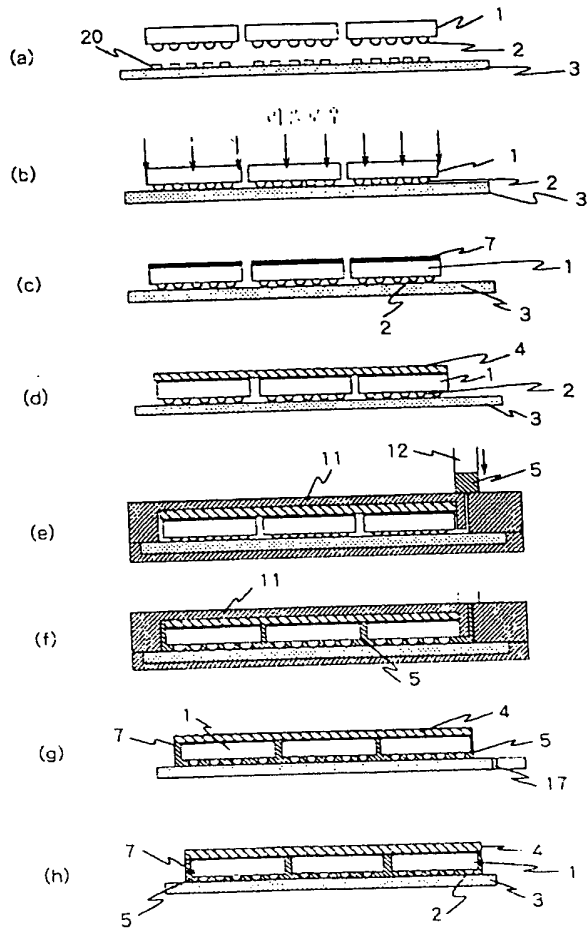
도면5



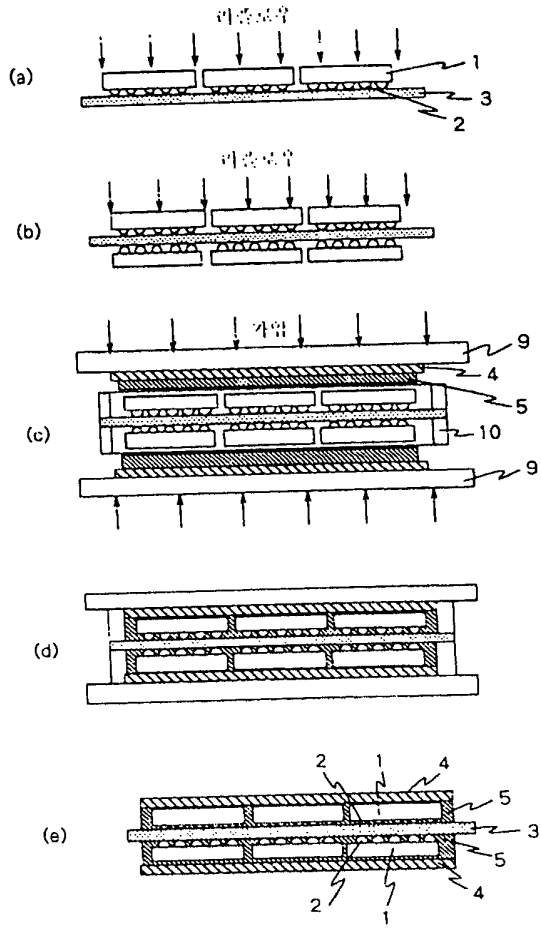
도면6



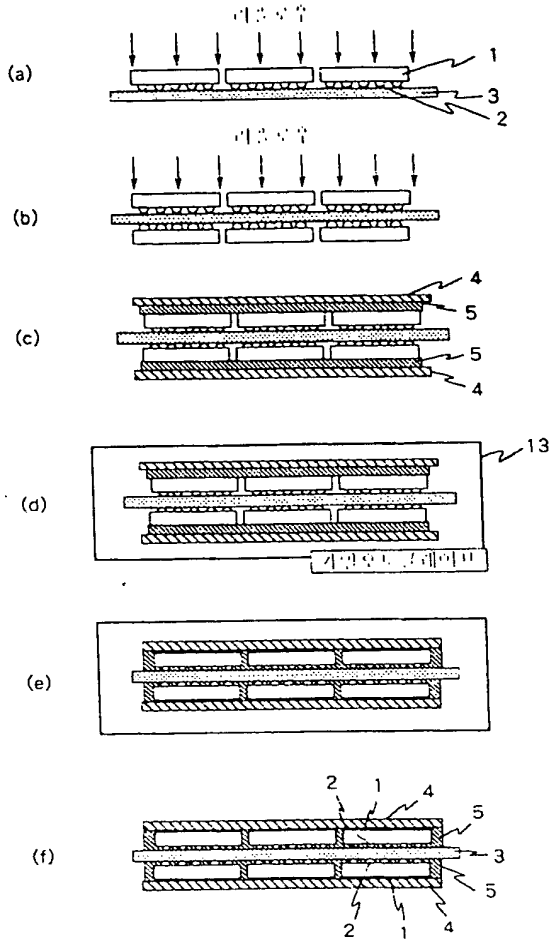
도면7



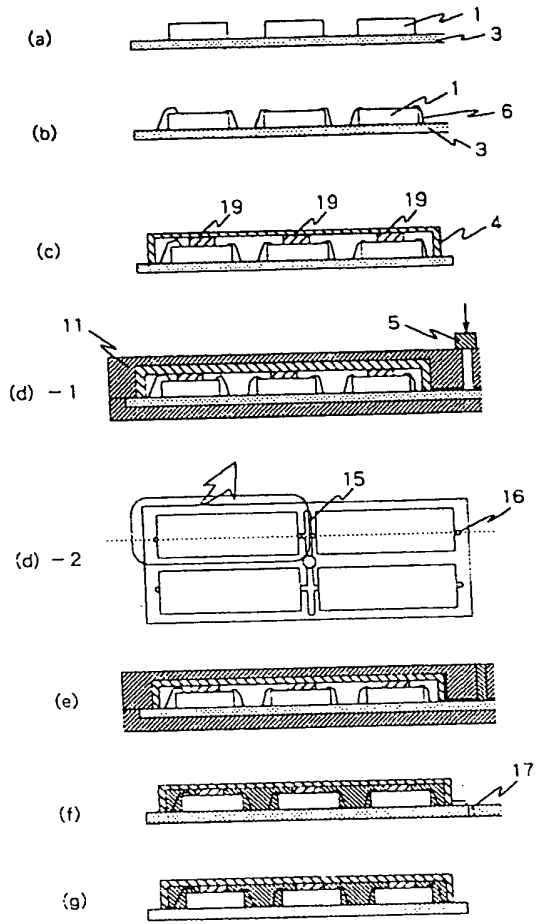
도면8



도면9



도면10



도면11

